

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135439

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/148

H 0 1 L 27/14

B

H 0 4 N 5/335

H 0 4 N 5/335

U

審査請求 有 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平8-288475

(22) 出願日 平成8年(1996)10月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 打矢 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

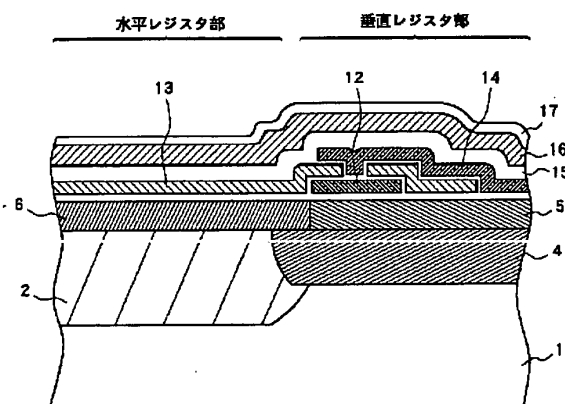
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 固体撮像装置とその製造方法

(57) 【要約】

【課題】 3層の多結晶シリコン電極を用いた固体撮像装置において、垂直レジスタ部から水平レジスタ部への転送不良を防止する。

【解決手段】 N型埋込チャネルの形成方法として、まず、垂直レジスタ部と水平レジスタ部の両方にリン注入した後、第1の多結晶シリコン電極を垂直レジスタ部のみに形成し、垂直レジスタの最終電極端で自己整合により水平レジスタ部全面にボロンを打ち返す。その後、第2の多結晶シリコン電極を垂直レジスタ部と水平レジスタ部の両方に形成し、さらに水平レジスタ部にのみ第2の多結晶シリコン電極と自己整合によりボロンを打ち返す。その後、第3の多結晶シリコン電極を形成する。



【特許請求の範囲】

【請求項1】 2次元的に配列された複数の光電変換素子と、前記光電変換素子で光電変換された電荷を列方向に転送する垂直転送部と、前記垂直転送部から転送された電荷を行方向に転送する水平転送部と、水平転送部から転送された電荷を電気信号に変換して外部に出力する出力部とを集積した固体撮像装置において、前記垂直転送部に形成されている第1の拡散層の濃度に対し、前記水平転送部に形成されている第2の拡散の濃度が異なっていて、かつ前記垂直転送部に形成された最終転送電極端によって前記第1の拡散層の濃度と前記第2の拡散層の濃度が自己整合的に異なっていることを特徴とする固体撮像装置。

【請求項2】 第1導電性の半導体基板表面の垂直転送部及び水平転送部を含む領域に第2導電性の拡散層を形成し、前記垂直転送部及び水平転送部の表面に第1導電性のイオン注入を行い、ゲート絶縁膜を形成する工程を有する固体撮像装置の製造方法において、前記水平転送部を除いた前記垂直転送部を含む領域に第1の転送電極配線を形成する工程と、前記水平転送部以外にレジストを覆い、前記レジストと前記垂直転送部の最終転送電極をマスクとして第2導電性のイオン注入を行う工程と、を有することを特徴とする固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置は光電変換部において光電変換され、蓄積された電荷を一定期間毎に垂直レジスタ部に読み出し、それを水平画素列毎に水平レジスタ部に転送し、水平レジスタ部から出力部に1画素毎に転送し、出力部で電気信号に変換して外部に出力する装置である。

【0003】図7は一般的な全画素読み出しタイプの2次元CCD型固体撮像装置の画素部平面図、図8は図7のC-C'線断面図、図9は図7のD-D'線断面図である。また、図10は従来の固体撮像装置の垂直レジスタ部と水平レジスタ部の接続部、図11は図10のE-E'線断面図、図12は図10のF-F'線断面図である。

【0004】上記従来例について、図面を参照して、詳細に説明する。

【0005】まず、画素部について、図8の水平方向の断面図により説明する。

【0006】N型シリコン基板1の表面に光電変換部では第2のP型ウェル層3、垂直レジスタ部では第3のP型ウェル層4がそれぞれ形成されている。P型ウェル層が光電変換部と垂直レジスタ部で分けられているのは以

下の理由による。すなわち、第2のP型ウェル層3は基板に電圧が加えられたときにフォトダイオード部の電荷を基板に掃き出させる、いわゆる電子シャッター機能が動作するように濃度を薄くし、第3のP型ウェル層4は電子シャッター時に垂直レジスタ部の電荷が基板に掃き出されないように第2のP型ウェル層より濃度が濃くされている。

【0007】次に、P型ウェル層の表面に光電変換部ではN型拡散層8、垂直レジスタ部では第1のN型埋込チャンネル5が形成されている。

【0008】また、光電変換部から垂直レジスタ部へ電荷を読み出す電荷読み出し部10には濃度の薄いP型領域が形成されている。

【0009】さらに、光電変換部と垂直レジスタ部を分離するチャンネルストッパ9には高濃度のP型領域が形成されている。

【0010】次に、光電変換部から垂直レジスタ部へ電荷の読み出しを制御する電極として基板表面にゲート酸化膜11を介して第3の多結晶シリコン電極が形成されている。その上部には層間膜15を介して光電変換部への開口を規定し、かつ周辺部の配線を兼ねた遮光膜16が形成されている。さらに、最上部にはカバー酸化膜17が形成されている。

【0011】次に画素部の垂直レジスタ部の断面図である図9について説明する。

【0012】垂直レジスタ部では3層の多結晶シリコン電極がゲート酸化膜を介して基板上に積層されており、1画素に対し図9の例では4電極形成している。その順番は電荷の読み出しを行う第3の多結晶シリコン電極14と、第2の多結晶シリコン電極13と、第1の多結晶シリコン電極12と、第2多結晶シリコン電極13の順である。その上部には層間膜15を介して遮光膜16及びカバー酸化膜17が形成されている。

【0013】次に水平レジスタ部について図11の断面図により説明する。

【0014】N型シリコン基板1の表面に第1のP型ウェル層2が形成されている。このP型ウェル層は出力部等で使用しているトランジスタのソース及びドレイン部が基板方向にパンチスルーしないように深く形成されている。但し、濃度は低電圧でかつ高周波数で駆動できるように第3のP型ウェル層4に比べて薄くされている。この表面に第2のN型埋込チャンネル6と第3のN型埋込チャンネル7が形成されている。これら第2、第3のN型埋込チャンネルの濃度はP型ウェル層の濃度に合わせて変えられており、垂直レジスタ部に形成されている第1のN型埋込チャンネル5の濃度に比べ、低濃度になっている。また、第2のN型埋込チャンネルの濃度は第3のN型埋込チャンネルに比べ若干濃くなっている、第2のN型埋込チャンネル6が電荷蓄積領域として使用され、第3のN型埋込チャンネル7が電荷障壁領域として使用される。

【0015】さらに基板表面にはゲート酸化膜11を介して第2のN型埋込チャネル6と第3のN型埋込チャネル7に対応する位置に第1の多結晶シリコン電極12、第2の多結晶シリコン電極13が形成されている。その上部には層間膜15を介して遮光膜16及びカバー酸化膜17が形成されている。

【0016】最後に垂直レジスタ部と水平レジスタ部の接続部について図12により説明する。

【0017】既に記述したように、垂直レジスタ部は高濃度のP型ウェル層と高濃度のN型埋込チャネルにより構成されていて、水平レジスタ部は低濃度のP型ウェル層と低濃度のN型埋込チャネルにより構成されている。垂直レジスタ部と水平レジスタ部との分離箇所は垂直レジスタ部の最終電極である第1の多結晶シリコン電極端近傍下である。

【0018】以上が従来の固体撮像装置の構成である。

【0019】例として、1994年IEEEのProceeding of Workshop on CCDsに掲載されたA 1/3-inch 330k Square-Pixel Progressive-Scan IT-CCDが挙げられる。

【0020】次にその製造方法を示す。

【0021】まず、N型シリコン基板1の表面に3つのP型ウェル層が形成される。形成の順番は、水平レジスタ部と出力部及び画素部周辺部に選択的に第1のP型ウェル層2が深く形成される。

【0022】次に、画素部に濃度の薄い第2のP型ウェル層3が形成され、続いて、垂直レジスタ部にのみ選択的に第1、第2のP型ウェル層より濃度の高い第3のP型ウェル層4が形成される。

【0023】次に、光電変換部にリンが注入され、N型拡散層8が形成される。さらに、電荷読み出し部とチャネルストップにそれぞれボロンが注入される。

【0024】次に、垂直レジスタ部と水平レジスタ部にリンが注入され、水平レジスタ部に第2の埋込チャネル6が形成される。その後、垂直レジスタ部以外がレジストにより覆われ、リンが追加注入されて水平レジスタ部に比べ濃度の高い第1の埋込チャネル5が形成される。この2回目のリン注入はその後形成される垂直レジスタ部の最終の第1の多結晶シリコン電極の端とほぼ同一線上になる位置まで注入される。

【0025】次に、ゲート酸化膜11が形成され、その後第1の多結晶シリコン電極12が形成される。第1の多結晶シリコン電極12は垂直レジスタ内では4相駆動のうち1電極として形成され、また、水平レジスタ内では電荷蓄積領域を駆動する電極として形成される。

【0026】続いて、水平レジスタ部以外がレジストにより覆われ、ボロンが注入され、第1の多結晶シリコン電極12と自己整合により電荷障壁領域である第3の埋込チャネル7が形成される。

【0027】次に、ゲート酸化膜が形成し直され、第2の多結晶シリコン電極13が形成される。この第2の多

結晶シリコン電極13は垂直レジスタ部内では第1の多結晶シリコン電極に隣接して4相駆動のうち2つの電極として形成される。また、第2の多結晶シリコン電極13は水平レジスタ部内では電荷障壁領域を駆動する電極として形成される。

【0028】さらに、ゲート酸化膜が形成し直され、第3の多結晶シリコン電極14が垂直レジスタ内の4相駆動の1電極、及び光電変換部からの電荷を読み出すための電極として形成される。

【0029】その後、層間酸化膜15が形成され、遮光膜16が光電変換部に対応する位置に形成され、最上層にカバー酸化膜17が形成される。

【0030】

【発明が解決しようとする課題】上述した従来の固体撮像装置では垂直レジスタ部と水平レジスタ部の接続部において、第1のN型埋込チャネル5と第2のN型埋込チャネル6の境界が垂直レジスタ部の最終電極である第1の多結晶シリコン電極12の水平電極側エッジと必ずしも自己整合していない。このため、第1の埋込チャネルが形成されるリン注入におけるリソグラフィ工程でのパターンずれや第1の多結晶シリコン電極形成のためのリソグラフィ工程でのパターンずれやエッチングによる寸法変動により、第1の多結晶シリコン電極12の端と埋込チャネルの濃度分離位置がずれる場合がある。

【0031】まず、図13に多結晶シリコン電極内にN型拡散層の濃度分離位置がきた場合のポテンシャル電位図が示されているが、垂直レジスタ部の最終電極内でポテンシャルバリアが生じ、転送不良が生じる。次に、図14に多結晶シリコン電極端より水平レジスタ部側でN型拡散層の濃度分離位置がきた場合の垂直レジスタ部と水平レジスタ部の接続部の断面図が示されている。また、図15にそのときのポテンシャル電位図が示されている。図に示されているように、水平レジスタ部の電荷障壁部にポテンシャルディップが生じ、やはり転送不良が生じるという問題点がある。

【0032】

【課題を解決するための手段】本発明の固体撮像装置は、2次元的に配列された複数の光電変換素子と、前記光電変換素子で光電変換された電荷を列方向に転送する垂直転送部と、前記垂直転送部から転送された電荷を行方向に転送する水平転送部と、水平転送部から転送された電荷を電気信号に変換して外部に出力する出力部とを、集積した固体撮像装置において、前記垂直転送部に形成されている第1の拡散層の濃度に対し、前記水平転送部に形成されている第2の拡散の濃度が異なっていて、かつ前記垂直転送部に形成された最終転送電極端によって前記第1の拡散層の濃度と前記第2の拡散層の濃度が自己整合的に異なっていることを特徴とする。

【0033】また、本発明の固体撮像装置の製造方法は、第1導電性の半導体基板表面の垂直転送部及び水平

転送部を含む領域に第2導電性の拡散層を形成し、前記垂直転送部及び水平転送部の表面に第1導電性のイオン注入を行い、ゲート絶縁膜を形成する工程を有する固体撮像装置の製造方法において、前記水平転送部を除いた前記垂直転送部を含む領域に第1の転送電極配線を形成する工程と、前記水平転送部以外にレジストを覆い、前記レジストと前記垂直転送部の最終転送電極をマスクとして第2導電性のイオン注入を行う工程を有することを特徴とする。

【0034】

【発明の実施の形態】本発明の実施の形態について、図面を参照して、説明する。

【0035】図1は本発明の一実施例の固体撮像装置の垂直レジスタ部と水平レジスタ部の接続部を示す平面図、図2は図1のA-A'線断面図、図3は図1のB-B'線断面図である。

【0036】本発明では画素部は従来と同一構造なので説明を省略する。異なる点は垂直レジスタ部と水平レジスタ部の接続部における第1のN型埋込チャンネル5と第2のN型埋込チャンネル6の分離位置が垂直レジスタ部の最終の多結晶シリコン電極端と自己整合して、水平転送部の第1のN型埋込チャンネル5と異なる濃度の第2のN型埋込チャンネル6を有することである。

【0037】次に、図5(a)～(c)及び図6(a)～(b)の断面図により本発明の固体撮像装置の製造方法を示すが、以下、工程に沿って説明する。

【0038】まず、N型シリコン基板1の表面の水平レジスタ部と出力部及び画素部以外に選択的に第1のP型ウェル層2が形成される。このP型ウェル層はトランジスタのソース及びドレイン部がパンチスルーしないように4 μ m程度の厚さで深く、かつ濃度は薄く形成される。次に、フォトダイオード部に第2のP型ウェル層3が形成される(図示せず)。このP型ウェル層は基板に電圧を加えたときにフォトダイオード部の電荷を基板に掃き出させる、いわゆる電子シャッター機能が動作するように第1のP型ウェル層より浅く、2 μ m程度の厚さで形成される。次に、垂直レジスタ部に選択的に第3のP型ウェル層4が形成される(図5(a))。このP型ウェル層は電子シャッター時に垂直レジスタ部の電荷を基板に掃き出されないように第1のP型ウェル層や第2のP型ウェル層より濃度が濃くされている。但し、拡散層の深さは2 μ m程度と浅くされている。尚、この第3のP拡散は水平レジスタ部には形成されない。

【0039】続いて、光電変換部にリンを注入されN型拡散層がされ、形成される。さらに、電荷読み出し部とチャンネルストッパにそれぞれボロンが注入される(図示せず)。

【0040】次に、垂直レジスタ部と水平レジスタ部にリンが注入され、第1のN型埋込チャンネル5が形成される(図5(a))。従来、垂直レジスタ部は2回のリン

注入で形成されていたが、本発明では1回のリン注入で形成される。

【0041】次に、ゲート酸化膜11が形成され、その後第1の多結晶シリコン電極12が形成される。第1の多結晶シリコン電極は従来垂直レジスタ部と水平レジスタ部に形成されていたが、本発明では垂直レジスタ部のみに形成され、4相駆動の1電極として形成される。

【0042】続いて、水平レジスタ部以外にレジストが覆われ、垂直レジスタの最終の第1の多結晶シリコン電極と自己整合により水平レジスタ部すべてにボロンが薄く注入される(図5(c))。これにより、水平レジスタ部に第2のN型埋込チャンネル6が形成される。

【0043】次に、ゲート酸化膜が形成し直され、垂直レジスタ部と水平レジスタ部に第2の多結晶シリコン電極13が形成される。第2の多結晶シリコン電極13は垂直レジスタ部では4相駆動の2電極に使用され、水平レジスタ部では電荷蓄積領域を駆動する電極として使用される。

【0044】次に、水平レジスタ部以外がレジストにより覆われ、水平レジスタ部の第2層の多結晶シリコン電極以外の領域にボロンが薄く注入され、第3のN型埋込チャンネル7が形成される。

【0045】次に、ゲート酸化膜が形成し直され、第3の多結晶シリコン電極14が垂直レジスタ部と水平レジスタ部に形成される(図6(a))。第3の多結晶シリコン電極14は垂直レジスタ部では4相駆動の1電極として使用され、水平レジスタ部では電荷障壁領域を駆動する電極として使用される。

【0046】その後、層間酸化膜15が形成され、遮光膜16が光電変換部に対応する位置に形成され、最上層にカバー酸化膜17が形成される(図6(b))。

【0047】

【発明の効果】以上説明したように、本発明によれば濃度の異なる垂直レジスタ部と水平レジスタ部のN型埋込チャンネルが第1層の多結晶シリコン電極端で自己整合により形成されるので、図4に示されるように、ポテンシャル電位に、垂直レジスタから水平レジスタに向けてポテンシャルディップやポテンシャルバリアの発生が無く、転送不良が発生しないという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す固体撮像装置の垂直レジスタ部と水平レジスタ部の接続部の平面図である。

【図2】図1のA-A'線断面図である。

【図3】図1のB-B'線断面図である。

【図4】図3におけるポテンシャル電位図である。

【図5】本発明の固体撮像装置の製造方法を示す断面図である。(a)は垂直レジスタ部と水平レジスタ部にリンが注入され、第1のN型埋込チャンネルが形成された断面図を示し、(b)はゲート酸化膜が形成された断面図を示し、(c)は水平レジスタ部以外にレジストが覆わ

れ、垂直レジスタの最終の第1の多結晶シリコン電極と自己整合により水平レジスタ部すべてにボロンが薄く注入された断面図を示している。

【図6】本発明の固体撮像装置の製造方法を示す断面図である。(a)は第3の多結晶シリコン電極が垂直レジスタ部と水平レジスタ部に形成された断面図を示し、(b)は層間酸化膜が形成され、遮光膜が光電変換部に対応する位置に形成され、最上層にカバー酸化膜が形成された断面図を示している。

【図7】固体撮像装置の画素部の平面図である。

【図8】図7のC-C'線断面図である。

【図9】図7のD-D'線断面図である。

【図10】従来例を示す固体撮像装置の垂直レジスタ部と水平レジスタ部の接続部の平面図である。

【図11】図10のE-E'線断面図である。

【図12】図10のF-F'線断面図である。

【図13】図12におけるポテンシャル電位図である。

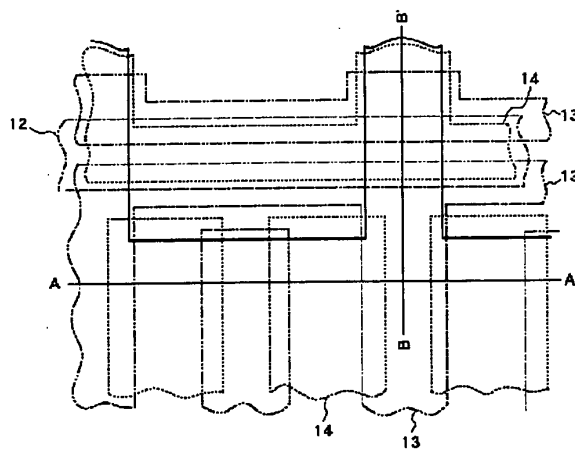
【図14】図10のF-F'線断面図である。

【図15】図14におけるポテンシャル電位図である。

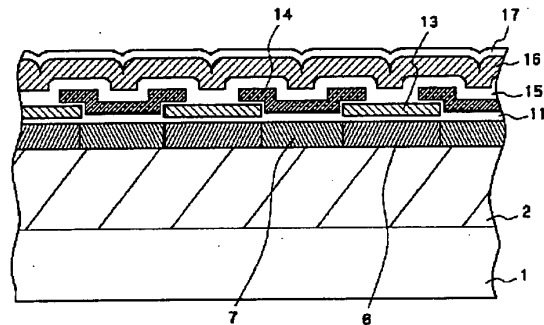
【符号の説明】

- 1 N型シリコン基板
- 2 第1のP型ウェル層
- 3 第2のP型ウェル層
- 4 第3のP型ウェル層
- 5 第1のN型埋込チャネル
- 6 第2のN型埋込チャネル
- 7 第3のN型埋込チャネル
- 8 N型拡散層
- 9 チャネルストップ
- 10 電荷読み出し部
- 11 ゲート酸化膜
- 12 第1の多結晶シリコン電極
- 13 第2の多結晶シリコン電極
- 14 第3の多結晶シリコン電極
- 15 層間酸化膜
- 16 遮光膜
- 17 カバー酸化膜
- 18 レジスト

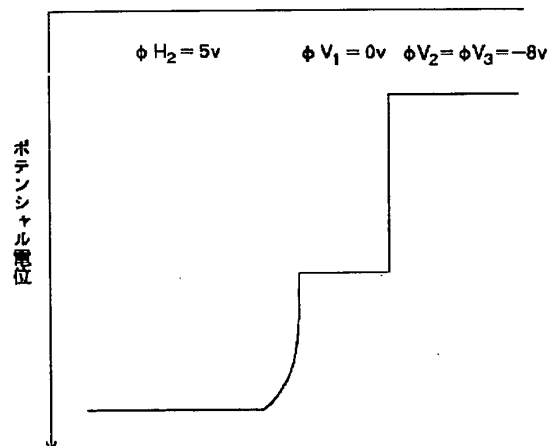
【図1】



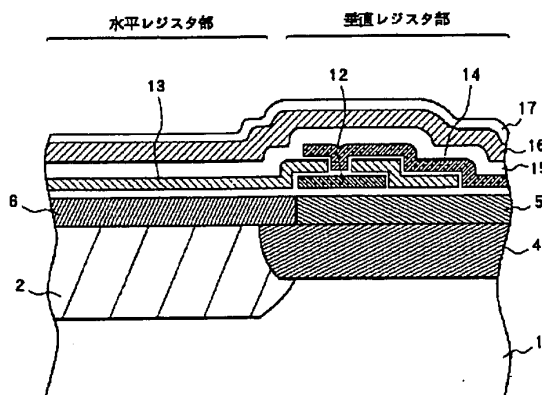
【図2】



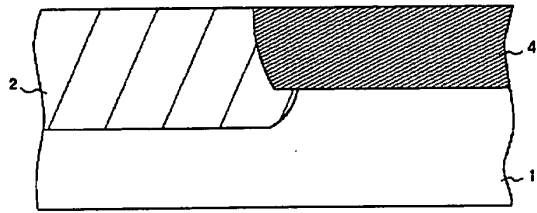
【図4】



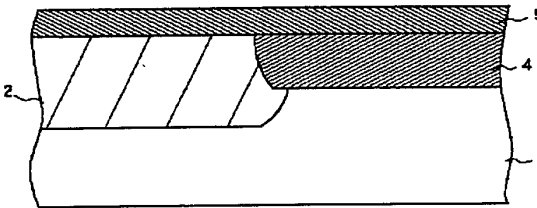
【図3】



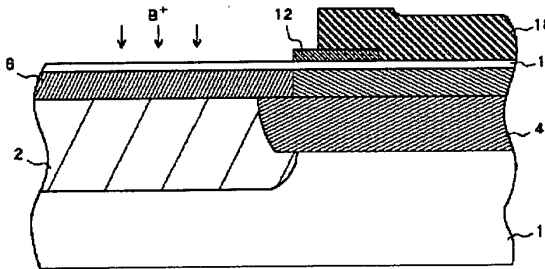
【図5】



(a)

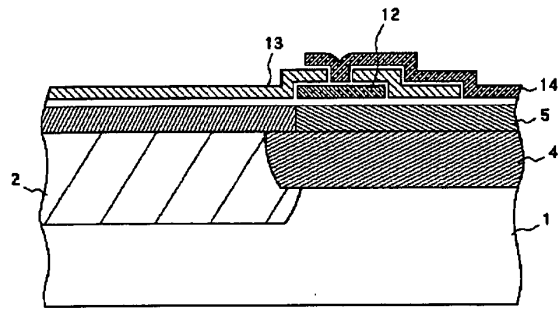


(b)

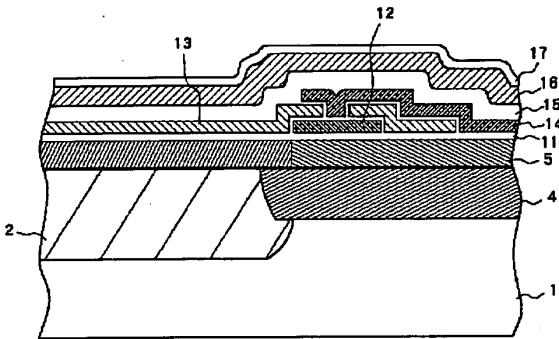


(c)

【図6】

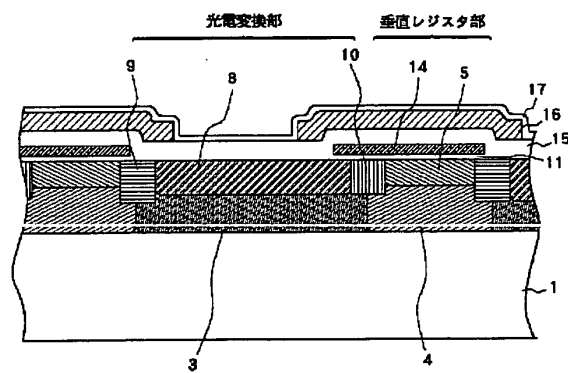


(a)

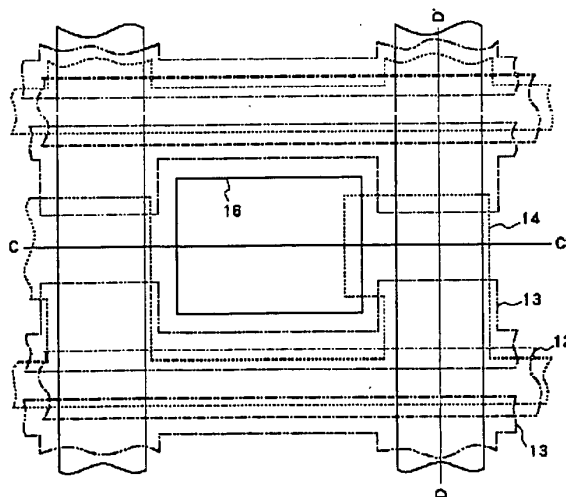


(b)

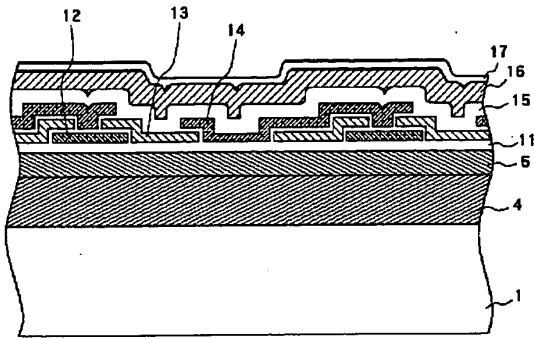
【図8】



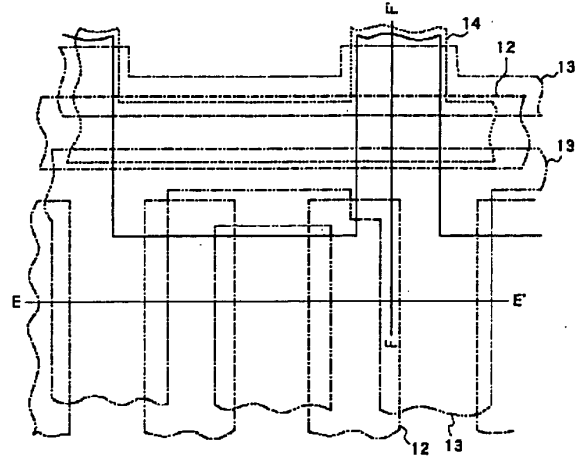
【図7】



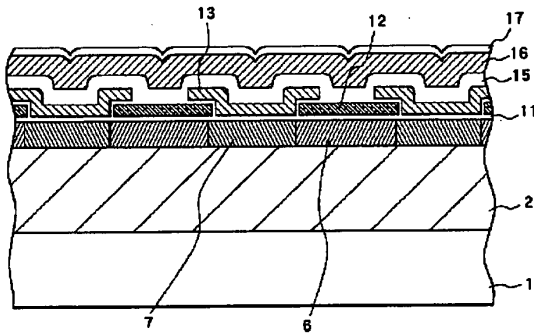
【図9】



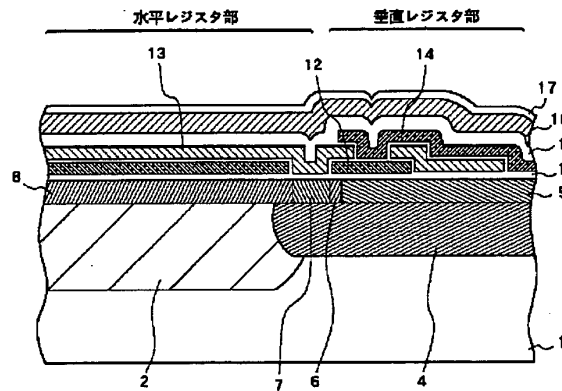
【図10】



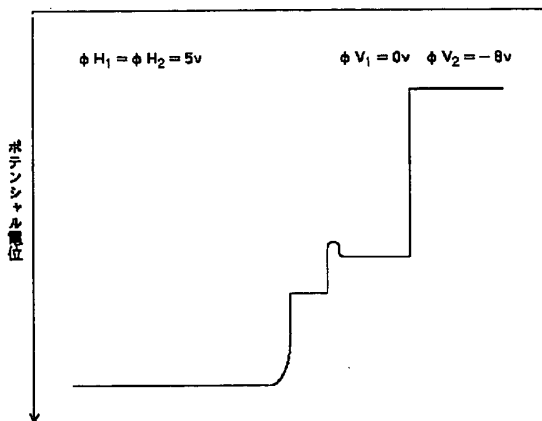
【図11】



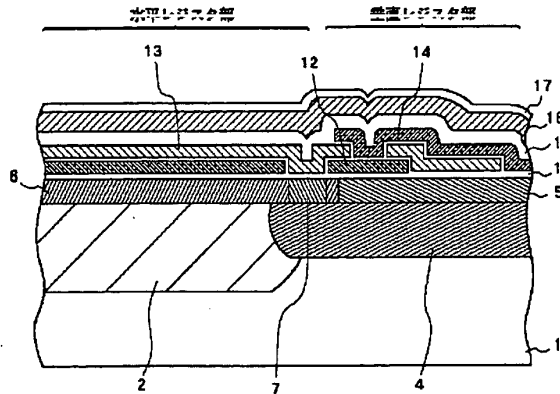
【図12】



【図13】



【図14】



【図 15】

